

Korean Patent Abstracts

(11) Publication Number: 2003-0067490
(24) Date of Patent: 14.08.2003

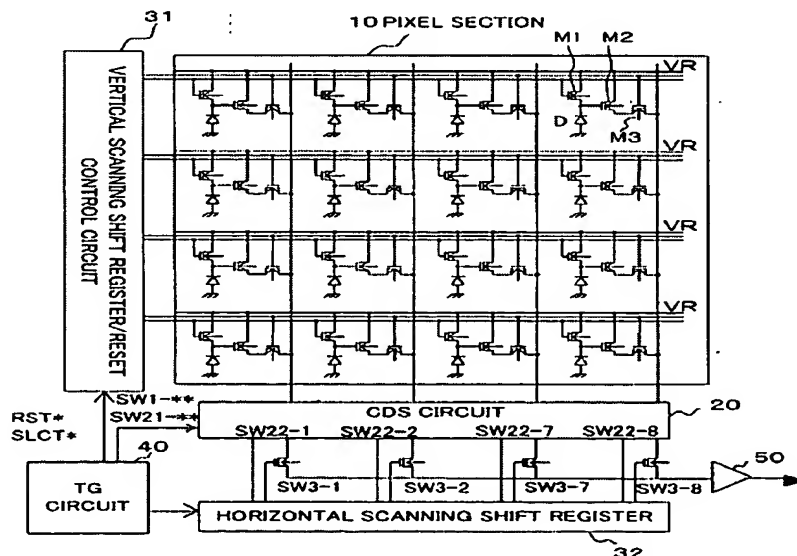
(21) Application Number: 2003-0002601
(22) Date of Filing: 15.01.2003

(30) Foreign application Priority Data: Feb. 7, 2002 [JP] 2002-030613
(73) Applicant: Fujitsu Limited Gaisha Gabusiki
(72) Inventor: Masatoshi Kokubun
(74) Attorney: Gwang-Hyeon LEE, Jeong-Geon SIN, Seong-Tak AN
(51) Int. Cl.: H04N 5/335

(54) CORRELATED COUPLE SAMPLING CIRCUIT AND CMOS IMAGE SENSOR INCLUDING THE SAME

(57) Abstract:

The present invention relates to a correlated double sampling circuit that reduces a shift in the potential of a node on the reference voltage side produced by reset operation. A reset signal RST is turned to "H" and then is turned to "L". By doing so, a photodiode begins integration according to the intensity of light. This detected signal is sent to a CDS circuit. An SW1 and a connection switch for sampling in the CDS circuit are turned ON to accumulate the detected signal according to integration time in C1 and C2 as electric charges. After a certain period of time elapsed, the SW1 and connection switch for sampling are turned OFF to hold the detected signal sampled. Next, the RST is turned again to "H" and the SW1 is turned ON. Then the RST is turned to "L" and the SW1 is turned OFF. By doing so, reset noise is sampled and held in the C1. As a result, only a signal component can be extracted from the detected signal. After that a connection switch for outputting SW3 and a connection switch for reading are turned ON to transfer an output voltage signal according to the signal component included in the detected signal to an output bus line.



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. H04N 5/335	(11) 공개번호 (43) 공개일자	특2003-0067490 2003년08월14일
(21) 출원번호	10-2003-0002601	
(22) 출원일자	2003년01월15일	
(30) 우선권주장	JP-P-2002-00030613 2002년02월07일 일본(JP)	
(71) 출원인	후지쯔 가부시끼가이샤 일본 000-000 일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1	
(72) 발명자	고쿠분마사토시 일본 일본가나가와켄가와사키시나카하라꾸가미코다나카4-1-1후지쯔가부시끼가이샤나이	
(74) 대리인	이광현 신정건 안성탁	
(77) 심사청구	없음	
(54) 출원명	상관 이중 샘플링 회로와 이 상관 이중 샘플링 회로를구비한 CMOS 이미지 센서	

요약

본 발명은 리셋 동작에 의해 생기는 참조 전압측의 노드 전위의 편차를 경감시키는 것을 과제로 한다.

리셋 신호(RST)를 "H"로 하고, 그 후 RST를 "L"로 함으로써, 포토다이오드(D1)가 빛의 강도에 따른 적분을 시작한다. 이 검출 신호가 CDS 회로(20)에 전달된다. CDS 회로(20)에서는 SW1과 샘플링용 접속 스위치(21)를 온으로 하여 적분 시간에 따른 검출 신호를 C1과 C2에 전하로서 축적하고, 일정 시간 경과 후에 SW1과 샘플링용 접속 스위치(21)를 오프로 하여 샘플링한 검출 신호를 유지한다. 이어서, 재차 RST를 "H"로 하여 SW1을 온으로 하고, 그 후 RST를 "L"로 하여 SW1도 오프로 함으로써, C1에 리셋 노이즈가 샘플링되어 유지된다. 이에 따라, 검출 신호의 신호 성분만을 추출할 수 있다. 그 후, 출력용 접속 스위치(SW3)와 판독용 접속 스위치(22)를 온으로 하여, 검출 신호의 신호 성분에 따른 출력 전압 신호를 출력 버스 라인에 전송한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예인 CDS 회로의 회로도.

도 2는 CMOS 이미지 센서의 기본 구성도.

도 3은 본 발명의 일 실시예인 CMOS 이미지 센서의 CDS 회로부의 타이밍도.

도 4는 본 발명에 따른 샘플링용 접속 스위치의 구성도.

도 5는 단위 화소와 CDS 회로의 회로도.

도 6은 CDS 회로의 타이밍도.

도 7은 레이아웃의 개략과 참조 전압의 변화를 나타내는 도면.

<도면의 주요부분에 대한 부호의 설명>

10 : 화소부

11 : 단위 화소

D1 : 포토다이오드

M1 : 리셋용 트랜지스터

M2 : 구동용 트랜지스터

M3 : 선택용 트랜지스터

20 : 상관 이중 샘플링 회로(CDS 회로)

21 : 샘플링용 접속 스위치

22 : 판독용 접속 스위치

C1 : 제1 커패시터

C2 : 제2 커패시터

VREF : 전원

AMP1, AMP2 : 증폭기

SW1 : 입력용 접속 스위치

SW3 : 출력용 접속 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상관 이중 샘플링 회로와 CMOS 이미지 센서에 관한 것으로, 특히 고체 촬상 소자가 매트릭스형으로 배치된 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로와 이 상관 이중 샘플링 회로를 구비한 CMOS 이미지 센서에 관한 것이다.

현재, 디지털 카메라나 디지털 비디오 카메라 등에 이용되는 고체 촬상 소자에는 CCD(Charge Coupled Device) 방식에 의한 이미지 센서와, CMOS(Complementary Metal Oxide Semiconductor) 센서 방식에 의한 이미지 센서가 있다. 이 중, CMOS 이미지 센서는 CCD에 비해서 소비 전력이 작고, 단일 전원으로 구동 가능하다는 것, 타이밍 발생 회로나 판독 회로 등의 주변 회로를 일체적으로 형성할 수 있다는 것 등의 장점이 있어, 최근 널리 채용되고 있다.

CMOS 이미지 센서는 포토다이오드를 포함하는 단위 화소가 매트릭스형으로 배열된 화소부와, 단위 화소를 순차 주사하는 주사 회로와, 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로[Correlate Double Sampling Circuit(이하, CDS 회로라고 함)]로 구성된다.

CDS 회로에 대해서, 도면을 참조하여 설명한다. 도 5는 단위 화소와 CDS 회로의 회로도이다.

단위 화소(11)는 1개의 포토다이오드(D1), 리셋용 트랜지스터(M1), 구동용 트랜지스터(M2) 및 선택용 트랜지스터(M3)로 이루어진다. 이러한 단위 화소(11)가 매트릭스형으로 복수 배열되어 화소부가 형성된다. 화소부는 수직 방향을 주사하는 수직 주사 시프트 레지스터와 수평 방향을 주사하는 수평 주사 시프트 레지스터에 의해서 순차 주사된다.

CDS 회로(60)는 화소부의 수평 방향의 열마다 각각 설치되어 있다. 자신이 접속되는 열의 단위 화소에 대하여, 수직 주사 레지스터에 의해서 선택된 행에 대한 출력 신호를 처리한다. CDS 회로(60)는 제1 커패시터(C1), 제2 커패시터(C2), 기준 전위(Vref)를 발생시키는 전원(VREF), 신호를 증폭하는 증폭기(AMP1 및 AMP2), 화소부(11)와의 접속을 제어하는 스위치(SW1)의 스위칭 소자, C2의 일단을 C1과 VREF에 접속시키는 스위치(SW2)의 스위칭 소자, 출력 버스에 출력 신호를 출력하는 스위치(SW3)의 스위칭 소자로 이루어진다.

또한, 전류원(11)은 단위 화소(11)의 트랜지스터(M2)를 증폭기로서 동작시키기 위해서 설치되어 있다.

이러한 단위 화소와 CDS 회로의 동작에 관해서 설명한다. 도 6은 CDS 회로의 타이밍도이다.

처음에, 수직 주사 시프트 레지스터에 의해, 1행째의 화소를 선택하는 선택 신호(SLCT1)가 온(H 레벨로 변화됨)으로 된다. 이어서, 초기 리셋이라 불리는 1회째의 리셋을 실행하기 위해서, 1행째의 화소 행을 리셋하는 리셋 신호(RST1)가 일정 기간 "H"로 된다. 이 때, 포토다이오드(D1)의 캐소드측의 전위가 일정한 전압(VR)으로 된다. 리셋 시간 종료 후에 RST1을 "L"로 함으로써, 포토다이오드(D1)가 빛의 강도에 따른 적분을 시작하게 된다. 그 후, 열마다 설치된 CDS 회로(60)의 SW2(순서대로 SW2-1, SW2-2, ..., SW2-7, SW2-8로 함)와 SW1을 온으로 하여, 포토다이오드(D1)의 적분 시간에 따른 검출 신호를 C1에 전하로서 축적하고, 동시에 C2에 대해서도 전하로서 검출 신호를 축적한다. 일정 시간 경과 후에, SW1과 SW2-1 SW2-2, ..., SW2-7, SW2-8을 오프로 하여, 샘플링한 검출 신호를 유지한다. 계속해서, 2회째의 리셋으로서 RST1 신호를 일정 기간 "H"로 하고, 이 사이에 SW1을 온으로 한다. 이에 따라, 리셋 노이즈가 C1에 축적된다. 소정의 시간 경과 후에, SW1도 오프로 된다. 이 동작에 의해, C2의 VC2에 있어서의 노드 전위는,

수학적 식 1

$$V_{ref} - ((\text{검출신호} + \text{리셋노이즈}) - \text{리셋노이즈})$$

가 되어, 신호 성분만을 추출할 수 있다. 그 후, 수평 주사 시프트 레지스터의 주사 신호에 동기하여, CDS 회로마다의 SW2(SW2-1, SW2-2, ..., SW2-7, SW2-8)와 SW3(SW3-1, SW3-2, ..., SW3-7, SW3-8)을 온으로 함으로써, 출력 버스 라인에 신호를 전송해 나간다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 CDS 회로에서는 검출 신호를 샘플링하기 위한 스위칭 소자와 판독용 스위칭 소자가 동일하기 때문에, 스위치 오프시에 기준으로 하고 있던 참조 전압측의 노드 전위에 편차가 생기게 되어, 출력 화상에 명암의 차가 생기게 된다고 하는 문제가 있다.

전술한 바와 같이, CDS 회로(60)에서는, 검출 신호를 샘플링하기 위해서, 포토다이오드(D1)의 적분 시간에 따른 검출 신호를 C1과 C2에 전하로서 축적할 때에, 스위치(SW1)와 스위치(SW2)를 온으로 하고, 일정 시간 경과 후에 오프로 하고 있다. 이 스위치(SW2)를 오프로 할 때에, 스위치(SW2)를 구성하는 스위칭 소자의 게이트와 소스, 게이트와 드레인 사이에 기생하는 개생 용량의 영향에 의해서, 기준으로 하고 있던 참조 전압측의 노드 전위의 값에 편차가 생기게 된다.

또한, 레이아웃에 기인해서도 노드 전위의 값에 편차가 생긴다. 도 7은 레이아웃의 개략과 참조 전압의 변화를 나타내고 있다. 도 7의 (1)은 레이아웃의 개략도이며, 도 7의 (2)는 스위치(SW2-1, SW2-2, ..., SW2-7, SW2-8)에 따른 참조 전압의 변화의 모식도이다.

도 7의 (1)을 참조하면, 단위 화소(11)로부터의 출력 신호를 샘플링하기 위한 스위칭 소자와, 출력 버스로의 판독을 행하기 위한 스위칭 소자를 겸하는 스위치(SW2)는 열마다 설치된 CDS 회로 각각에 존재하고, 각각의 스위칭 소자(61), 예컨대 SW2-1, SW2-2, ..., SW2-7, SW2-8은 일렬로 배열되어, 공통의 참조 전압 신호선(62)에 접속된다. 각각의 스위칭 소자(SW2-1, SW2-2, ..., SW2-7, SW2-8)는 SW2 스위치의 온/오프 제어 회로(63)에 의해 제어된다. SW2 스위치의 온/오프 제어 회로(63)는 공통 동작용 제어 신호가 입력되면, 각각의 스위칭 소자(61)에 대응하여 설치된 온/오프 제어 신호 생성부(64)가 제어 신호를 생성하여, 스위칭 소자(SW2-1, SW2-2, ..., SW2-7, SW2-8)에 공통 동작시킨다. 이와 같이, 스위칭 소자(SW2-1, SW2-2, ..., SW2-7, SW2-8)는 공통 동작용 제어 신호에 의해 온/오프되는데, 실제로는 거기에 지연이 생긴다. 이 때문에, SW2의 온/오프에 의해 CDS 회로가 갖는 용량의 영향을 받아, 참조 전압의 값이 변동된다. 여기서, SW2-1에서 SW2-8로 순차 오프로 되어 간다고 하면, 참조 전압의 변동량과 참조 전압 신호선(62)이 갖는 배선 저항 등에 의해, 참조 전압의 편차가 서서히 커져 간다. 도 7의 (2)를 참조하여, 이상적인 참조 전압치[기준 전위(Vref)]를 파선으로 하면, 예컨대 SW2-1에 있어서는 거의 이상적인 참조 전압치이지만, SW2-8에 있어서는 참조 전압치는 용량이나 배선 저항 등의 영향에 의해 이상적인 기준 전위(Vref)보다 내려가 버린다. 이러한 참조 전압의 변동에 의하여, 참조 전압측의 노드 전위(VC2)가 어긋나 버린다. 이 결과, C2에 축적되는 전하량에 편차가 생겨, CDS 회로(60)에 의한 검출 신호의 판독 결과에 명암의 차가 생긴다고 하는 문제가 있었다. 예컨대, SW2-1, SW2-2, ..., SW2-7, SW2-8에 대응하는 화소가 동일한 광도를 나타내는 검출 신호를 출력한 경우라도, 도 7의 (2)와 같은 경우, SW2-1에 대응하는 화소보다도 SW2-8에 대응하는 화소 쪽이 어둡다고 하는 명암의 차가 생겨 버린다. 여기서는, SW2-8에 있어서는 참조 전압치가 이상적인 기준 전위(Vref)보다 내려가 버리는 경우에 대해 설명했지만, 스위치 제어 방법에 따라서는 Vref 전위보다 높아져 버리는 경우도 있다. 이 경우도 마찬가지로 대응하는 화소에 명암이 생긴다.

또한, 화소부의 고선명화에 따라, 화소부로부터의 출력 신호의 판독 속도의 고속화가 요구되고 있다. 이 때문에, 판독시에 이용하는 스위칭 소자(SW2)의 온 저항을 작게 하기 위해서, 게이트 폭을 크게 설계하지 않으면 안된다. 그러나, 게이트 폭을 크게 함으로써, 거기에 생기는 기생 용량의 영향이 커져, 참조 전압측의 노드 전위의 편차가 커지게 된다.

이러한 참조 전압측의 노드 전위의 편차에 의해 생기는 출력 신호의 편차는 CDS 회로의 다음 단계에 존재하는 증폭기에 의해서 증대되기 때문에, CDS 회로로부터의 출력시에는 작은 값이라 할지라도, 최종적으로는 화상의 명암에 차이가 생겨 버린다. 예컨대, 16배의 증폭기가 다음 단계에 있었던 경우, 1 mV의 편차가 16 mV로 증폭되어 버린다.

본 발명은 이러한 점을 감안하여 이루어진 것으로, 리셋 동작에 의해 생기는 참조 전압측의 노드 전위의 편차를 경감시키는 상관 이중 샘플링 회로 및 이 상관 이중 샘플링 회로를 구비한 CMOS 이미지 센서를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명에서는 상기 과제를 해결하기 위해서, 고체 촬상 소자가 매트릭스형으로 배치된 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로에 있어서, 화소부의 리셋에 의해 생기는 노이즈에 상당하는 리셋 레벨 신호를 샘플링하여 유지하는 제1 커패시터와, 상기 화소부에 있어서 광전 변환된 검출 신호를 샘플링하여 유지하는 제2 커패시터와, 상기 검출 신호를 소정의 전위를 기준으로 샘플링하기 위해서 상기 소정의 전위를 발생시키는 소정의 전원과 상기 제2 커패시터와의 접속을 제어하는 샘플링용 접속 스위치와, 상기 제2 커패시터와 상기 제1 커패시터에 샘플링되어 유지된 전하로부터 얻어지는 상기 검출 신호와 상기 리셋 레벨 신호와의 차에 따른 출력 신호의 판독을 제어하는 판독용 접속 스위치를 구비하는 것을 특징으로 하는 상관 이중 샘플링 회로가 제공된다.

이러한 구성의 상관 이중 샘플링 회로(CDS 회로)(20)와 입력용 접속 스위치(SW1)를 통해 접속되는 화소부를 구성하는 단위 화소(11)에서는 화소 열의 선택에 따라 선택 신호(SLCT)가 온으로 됨으로써 동작을 시작한다. 선택 신호(SLCT)가 온으로 되는 동시에, 또는 그 후에 리셋 신호(RST)를 "H"로 하여 포토다이오드(D1)의 캐소드측의 전위를 초기 전위(VR)로 리셋한다. 일정 시간 경과 후에 RST를 "L"로 함으로써, 포토다이오드(D1)가 빛에 강도에 따른 적분을 시작한다. 이 적분 시간에 따른 검출 신호가 선택용 트랜지스터(M3)를 통해 CDS 회로(20)에 전달된다. CDS 회로(20)에서는 단위 화소(11)로부터의 출력 신호를 접속시키는 입력용 접속 스위치(SW1)와 샘플링용 접속 스위치(21)를 온으로 하여 적분 시간에 따른 검출 신호를 제1 커패시터(C1)와 제2 커패시터(C2)에 전하로서 축적한다. 일정 시간 경과 후에, SW1과 샘플링용 접속 스위치(21)를 오프로 하여, 샘플링한 검출 신호를 유지한다. 이어서, 재차 RST를 "H"로 하여, SW1을 온으로 하고, 일정 시간 경과 후에 RST를 "L"로 하여, 소정 시간 후에 SW1도 오프로 한다. 이 동작에 의해, 제1 커패시터(C1)에 리셋 노이즈에 상당하는 리셋 레벨 신호가 샘플링되어 유지된다. 이에 따라, 검출 신호의 신호 성분만을 추출할 수 있게 된다. 그 후, 수평 주사의 신호에 동기하여 출력용 접속 스위치(SW3)와 판독용 접속 스위치(22)를 온으로 함으로써, 출력 버스에 검출 신호의 신호 성분에 따른 출력 전압 신호가 출력 버스 라인에 전송된다.

이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

도 1은 본 발명의 일 실시예인 CDS 회로의 회로도이다.

CDS 회로(20)는 수평 및 수직 방향으로 복수 배열된 단위 화소(11)의 출력 신호를 입력하여, 그 출력 신호를 처리한다.

단위 화소(11)는 1개의 포토다이오드(D1)와, 3개의 N 채널 MOS 트랜지스터로 구성되어 있다. 포토다이오드(D1)의 캐소드는 트랜지스터(M1)의 소스와 트랜지스터(M2)의 게이트에 접속되어 있다. 리셋용 트랜지스터인 트랜지스터(M1)의 게이트는 리셋 신호(RST)가 공급되는 리셋선에 접속되어 있고, 드레인은 기준 전압(VR)이 공급되는 전원선에 접속되어 있다. 또한, 구동용 트랜지스터인 트랜지스터(M2)의 드레인도 M1과 마찬가지로 기준 전압(VR)이 공급되는 전원선에 접속되어 있고, 소스는 트랜지스터(M3)의 드레인에 접속되어 있다. 또한, 선택용 트랜지스터인 트랜지스터(M3)의 게이트는 선택 신호(SLCT)가 공급되는 열 선택선에 접속되어 있고, 소스는 전원선(I1)과 CDS 회로(20)의 스위치(SW1)에 접속되어 있다.

단위 화소(11)의 동작에 대해서 설명한다. 리셋 신호(RST)가 "H"가 되면, 포토다이오드(D1)의 캐소드측의 전위가 일정한 전압(VR)으로 된다. 이어서 리셋 신호(RST)가 "L"로 된 후, 포토다이오드(D1)에 빛이 도달하면, 포토다이오드(D1)의 빛의 강도에 따른 전하가 발생된다. 이 전하에 의해, VPD의 전위, 즉 트랜지스터(M2)의 게이트 전압이 변화된다. 선택 신호(SLCT)가 "H"가 되면, 그 때의 VPD의 전위에 따른 전기 신호가 트랜지스터(M3)를 통해 CDS 회로(20)에 전달된다.

CDS 회로(20)는 단위 화소(11)로부터의 출력 신호의 입력을 제어하는 입력용 접속 스위치(SW1), 단위 화소(11)로부터의 출력 신호를 각각 샘플링하여 유지하는 제1 커패시터(C1) 및 제2 커패시터(C2), 참조 전위(Vref)를 발생시키는 전원(VREF), 샘플링시에 커패시터(C2)와 전원(VREF)을 접속시키는 샘플링용 접속 스위치(21), 판독시에 커패시터(C2)와 전원(VREF)을 접속시키는 판독용 접속 스위치(22), 증폭기(AMP1과 AMP2), 및 수평 주사측으로부터의 신호에 따라 출력 버스로의 출력을 제어하는 출력용 접속 스위치(SW3)로 구성된다.

입력용 접속 스위치(SW1)는 전류원(I1), 단위 화소(11)의 선택용 트랜지스터(M3)의 소스 및 CDS 회로(20) 내의 커패시터(C1)의 일단에 접속되어, 단위 화소(11)가 검출한 검출 신호를 CDS 회로(20) 내로 받아들인다.

제1 커패시터(C1)는 일단이 SW1을 통해 단위 화소(11)의 출력 단자와 증폭기(AMP1)에 접속되고, 다른 일단이 전원(VREF)과 샘플링용 접속 스위치(21)를 통해 제2 커패시터(C2)의 일단에 접속된다. 초기 리셋 후에 단위 화소(11)로부터 출력되는 포토다이오드(D1)가 검출한 빛의 강도에 따른 검출 신호를 샘플링하여 유지하고, 재차 리셋할 때에 리셋에 의해 생긴 노이즈에 상당하는 리셋 레벨 신호를 샘플링하여 유지한다.

제2 커패시터(C2)는 일단이 증폭기(AMP1)에 접속되고, 다른 일단이 증폭기(AMP2)와 샘플링용 접속 스위치(21) 및 판독용 접속 스위치(22)를 통해 전원(VREF)과 제1 커패시터(C1)에 접속된다. 초기 리셋시에는 샘플링용 접속 스위치(21)를 통해 전원(VREF)과 제1 커패시터(C1)에 접속되어, 단위 화소(11)의 검출 신호를 샘플링하여 유지한다. 다음의 재차 리셋함으로써, VC2의 노드 전위는 수학식 1에서 나타난 값으로 된다. 그 후, 판독용 접속 스위치(22)와 출력용 접속 스위치(SW3)가 온으로 되어, VC2의 노드 전위에 따른 출력 신호가 전송된다.

샘플링용 접속 스위치(21)는 일단이 제2 커패시터(C2)의 일단에 접속되고, 다른 일단이 제1 커패시터(C1)의 일단과 전원(VREF)에 접속된다. 샘플링시에 온으로 되어 제2 커패시터(C2)를 제1 커패시터(C1)와 전원(VREF)에 접속시키고, 샘플링 종료시에 오프로 되어 분리시킨다. 후술하지만, 샘플링에 드는 시간은 여유가 있기 때문에, 샘플링용 접속 스위치(21)의 게이트 폭은 판독용 접속 스위치(22)에 비해 작은 사이즈로 구성할 수 있다. 예컨대, 반도체 제조 공정 기술에 있어서 가능한 최소 폭으로 구성할 수도 있다. 이 때문에, 게이트-소스/드레인 사이의 기생 용량의 영향을 그다지 받지 않고서 유지 동작을 완료할 수 있다.

판독용 접속 스위치(22)는 일단이 제2 커패시터(C2)의 일단에 접속되고, 다른 일단이 제1 커패시터(C1)의 일단과 전원(VREF)에 접속된다. 출력용 접속 스위치(SW3)에 따라 온/오프로 되어, VC2의 노드 전위에 따른 출력 신호를 전송한다. 판독용 접속 스위치(22)는 화소부(10)의 고성명화에 따라, 판독 속도의 고속화가 요구되고 있기 때문에, 게이트 폭을 크게 하지 않으면 안된다.

출력용 접속 스위치(SW3)는 수평 주사 신호에 동기하여 온으로 되어, CDS 회로(20)가 생성한 단위 화소(11)의 검출 신호로부터 노이즈분을 제거한 신호 성분만을 출력 버스 라인에 전송한다.

전송한 CDS 회로(20)는 CMOS 이미지 센서에 내장된다. 도 2는 CMOS 이미지 센서의 기본 구성도이다. 도 1과 동일한 구성 요소에는 동일한 번호를 부여하고, 그 상세한 설명은 생략한다.

CMOS 이미지 센서는 단위 화소(11)가 매트릭스형으로 배치된 화소부(10)와, 화소부(10)로부터의 출력 신호를 처리하는 CDS 회로(20), 화소부(10)의 수직 방향의 주사를 행하는 동시에 리셋 신호를 제어하는 수직 주사 시프트 레지스터/리셋 제어 회로(31) 및 수평 방향의 주사를 제어하는 수평 주사 시프트 레지스터(32)로 이루어지는 주사 회로와, 주사 및 샘플링을 위한 타이밍 신호를 생성하는 타이밍 발생 회로(이하, TG 회로라고 함)(40)로 구성된다.

TG 회로(40)는 화소부(10)의 행을 선택하는 선택 신호(SLCT*), 리셋 신호(RST*) 및 화소부(10)와 CDS 회로(20)를 접속시키는 스위치(SW1-** 및 SW21-**)를 제어하는 제어 신호를 생성한다. 여기서, *는 임의의 행을 나타내며, **는 임의의 행과 열을 나타낸다.

CDS 회로(20)는 수평 방향의 열마다 설치되어 있어, 수직 주사 시프트 레지스터/리셋 제어 회로(31)에 의해서 선택된 라인의 단위 화소(11)의 검출 신호를 수평 주사 시프트 레지스터(32)가 출력하는 수평 주사 신호에 따라 순차 출력한다.

증폭기(50)는 출력 버스 라인에 전송된 CDS 회로(20)로부터의 출력 신호를 증폭하여, 다음 회로로 전송한다.

이러한 구성의 CDS 회로 및 CMOS 이미지 센서의 동작에 관해서 설명한다. 도 3은 본 발명의 일 실시예인 CMOS 이미지 센서의 CDS 회로부의 타이밍도이다.

수직 주사 시프트 레지스터/리셋 제어 회로(31)로부터 선택 신호(SLCT)가 온으로 되어, 화소부(10)의 임의의 행이 선택된다. 도 3에서는 행 1이 선택되어, SLCT1이 온으로 되고 있다. SLCT1이 선택되는 동시에, 또는 그 후에, RST 단자가 온으로 되어, RST1이 "H"로 변화됨으로써, 포토다이오드(D1)의 캐소드 전위가 초기 전위(VR)로 리셋된다. 리셋 시간 종료 후에, RST 단자가 오프로 되어, RST1은 "L"로 변화된다. RST1이 "L"로 변화됨으로써, 포토다이오드(D1)는 빛의 강도에 따른 적분을 시작한다.

그 후, CDS 회로(20)의 입력용 접속 스위치(SW1)와, 샘플링용 접속 스위치(21)(SW21)의 접속을 온으로 하여, 적분 시간에 따른 검출 신호를 제1 커패시터(C1)에 전하로서 축적한다. 이 때, 제2 커패시터(C2)에도 마찬가지로 전하가 축적된다. 일정 시간 경과 후에, SW1과 샘플링용 접속 스위치(21)(SW21)를 오프로 하여, 샘플링한 검출 신호를 유지한다. 이 때, 샘플링용 접속 스위치(21)의 게이트 폭은 작은 사이즈로 구성하고 있기 때문에, 게이트-소스/드레인 사이의 기생 용량의 영향을 그다지 받지 않고서 유지 동작이 완료된다. 이 동안, 판독용 접속 스위치(22)(SW22-1, SW22-2, ..., SW22-7, SW22-8)는 오프 그대로이다.

다음에, 리셋 노이즈를 제1 커패시터(C1)에 축적하기 위해서, 재차 RST 단자를 온으로 하여, SW1을 온으로 한다. 일정 시간 경과 후에, RST 단자를 오프로 하여, SW1도 오프로 한다. 이 동작에 의해, 제1 커패시터(C1)에는 리셋 노이즈에 상당하는 전하가 축적된다. 이 결과, 제2 커패시터(C2)의 노드 전위는 수학식 1에 도시한 바와 같이, (Vref-검출 신호)가 되어, 신호 성분만을 추출할 수 있게 된다.

그 후, 수평 주사 신호에 동기하여, 출력용 접속 스위치(SW3)(SW3-1, SW3-2, ..., SW3-7, SW3-8)와, 판독용 접속 스위치(22)(SW22-1, SW22-2, ..., SW22-7, SW22-8)를 순차적으로 온으로 해 나감으로써, 신호를 출력 버스 라인에 전송해 나간다.

이와 같이, 샘플링을 행할 때에 제2 커패시터(C2)와 전원(VREF)을 접속시키는 샘플링용 접속 스위치(21)를 설치하고, 이것을 작은 게이트 쪽으로 구성함으로써, 참조 전압측의 노드 전위의 변동을 억제하는 것이 가능해진다. 이와 같이, 참조 전압의 변동이 억제된 신호를 이용하여 처리를 행함으로써, 출력 화상의 명암의 차를 작게 할 수 있다.

또한, 판독용 접속 스위치(22)를 샘플링용 접속 스위치(21)와 별도로 설치하는 구성으로 했기 때문에, 판독용 접속 스위치(22)의 게이트 쪽을 판독 속도의 고속화에 대응시켜 크게 할 수 있다.

또한, 전술한 샘플링용 접속 스위치(21)는 적당한 스위칭 소자에 의해 구성되지만, 또한, 더미용 스위칭 소자를 접속한 구성으로 할 수도 있다. 도 4는 본 발명에 따른 샘플링용 접속 스위치의 구성도이다. 도 1과 동일한 구성 요소에는 동일한 번호를 부여하고, 그 상세한 설명은 생략한다.

메인 스위칭 소자(이하, 메인 SW라고 함)(211)는 드레인이 전원(VREF)에 접속되어 있고, 소스가 더미용 스위칭 소자(이하, 더미용 SW라고 함)(212)의 드레인에 접속되어 있다. 또한, 게이트는 메인 SW(211) 및 더미용 SW(212)의 온/오프를 제어하는 제어 신호에 접속된다.

더미용 스위칭 소자(212)는 소스가 제2 커패시터(C2)의 일단에 접속되어 있고, 또한 드레인과 접속되어 있다. 또한, 드레인은 메인 SW(211)의 소스에 접속되어 있다. 게이트는 메인 SW(211)의 온/오프를 제어하는 제어 신호의 반전 신호에 접속된다.

발명의 효과

이상 설명한 바와 같이 본 발명의 CDS 회로에서는, 임의의 전위를 기준으로 샘플링된 전하를 유지하는 커패시터와, 임의의 전위를 발생시키는 전원과의 접속을 온/오프로 하는 스위칭 소자로서, 화소부가 검출한 검출 신호를 샘플링하여 유지하기 위한 샘플링용 접속 스위치와, 출력 신호를 판독하기 위한 판독용 접속 스위치가 설치되어 있다. 이에 따라, 샘플링 종료시의 스위칭 오프에 의한 참조 전압측의 노드 전위의 변동을 억제할 수 있게 된다.

이러한 CDS 회로를 구비한 본 발명의 CMOS 이미지 센서에서는 CDS 회로에 의해 화소부의 검출 신호를 추출할 때의 참조 전압의 변동이 적은 출력 신호를 얻을 수 있기 때문에, 결과적으로 명암의 차가 작은 양호한 출력 화상을 얻는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.

고체 촬상 소자가 매트릭스형으로 배치된 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로에 있어서,

화소부의 리셋에 의해 생기는 노이즈에 상당하는 리셋 레벨 신호를 샘플링하여 유지하는 제1 커패시터와,

상기 화소부에 있어서 광전 변환된 검출 신호를 샘플링하여 유지하는 제2 커패시터와,

상기 검출 신호를 소정의 전위를 기준으로 샘플링하기 위해서 상기 소정의 전위를 발생시키는 소정의 전원과 상기 제2 커패시터와의 접속을 제어하는 샘플링용 접속 스위치와,

상기 제2 커패시터와 상기 제1 커패시터에 샘플링되어 유지된 전하로부터 얻어지는 상기 검출 신호와 상기 리셋 레벨 신호와의 차에 따른 출력 신호의 판독을 제어하는 판독용 접속 스위치를 구비하는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 2.

제1항에 있어서, 상기 샘플링용 접속 스위치를 구성하는 스위칭 소자의 게이트 쪽은 상기 판독용 접속 스위치를 구성하는 스위칭 소자의 게이트 쪽보다도 작은 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 3.

제1항에 있어서, 상기 샘플링용 접속 스위치를 구성하는 스위칭 소자의 게이트 쪽은 반도체 제조 공정시에 형성되는 최소 폭인 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 4.

제1항에 있어서, 상기 샘플링용 접속 스위치를 구성하는 스위칭 소자의 소스와 드레인을 접속하고, 상기 샘플링용 접속 스위치의 게이트에 접속하는 입력 신호와 역상의 신호를 게이트에 입력하는 더미용 스위칭 소자를 접속하는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 5.

고체 촬상 소자가 매트릭스형으로 배치된 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로에 있어서,

제1 단자가 샘플링시에 화소부의 출력 단자에 접속되고, 제2 단자가 샘플링을 위한 소정의 기준 전위를 발생시키는 소정의 전원에 접속되어, 상기 화소부의 리셋에 의해 생기는 노이즈에 상당하는 리셋 레벨 신호를 샘플링하여 유지하는 제1 커패시터와,

상기 제1 커패시터와 병렬로 접속되는 동시에, 병렬로 설치된 샘플링용 접속 스위치 및 판독용 접속 스위치를 통해 상기 제1 커패시터의 제2 단자와 상기 소정의 전원에 접속되어, 상기 화소부에 있어서 광전 변환된 검출 신호를 샘플링하여 유지하는 제2 커패시터를 구비하며,

상기 샘플링용 접속 스위치는 상기 제2 커패시터가 상기 검출 신호를 샘플링하는 기간에 상기 제2 커패시터와 상기 제1 커패시터 및 상기 소정의 전원을 접속시키고,

상기 판독용 접속 스위치는 상기 제2 커패시터와 상기 제1 커패시터에 샘플링되어 유지된 전하로부터 얻어지는 상기 검출 신호와 상기 리셋 레벨 신호와의 차에 따른 출력 신호의 판독 기간에 상기 제2 커패시터와 상기 제1 커패시터 및 상기 소정의 전원을 접속시키는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 6.

제5항에 있어서, 상기 샘플링용 접속 스위치를 구성하는 스위칭 소자의 게이트 폭은 상기 판독용 접속 스위치를 구성하는 스위칭 소자의 게이트 폭보다도 작은 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 7.

포토다이오드와 트랜지스터를 구비한 단위 화소가 매트릭스형으로 배치된 화소부와, 상기 화소를 주사하는 주사 회로와, 상기 화소부로부터의 출력 신호를 처리하는 상관 이중 샘플링 회로를 구비한 CMOS 이미지 센서에 있어서,

상기 상관 이중 샘플링 회로가,

화소부의 리셋에 의해 생기는 노이즈에 상당하는 리셋 레벨 신호를 샘플링하여 유지하는 제1 커패시터와,

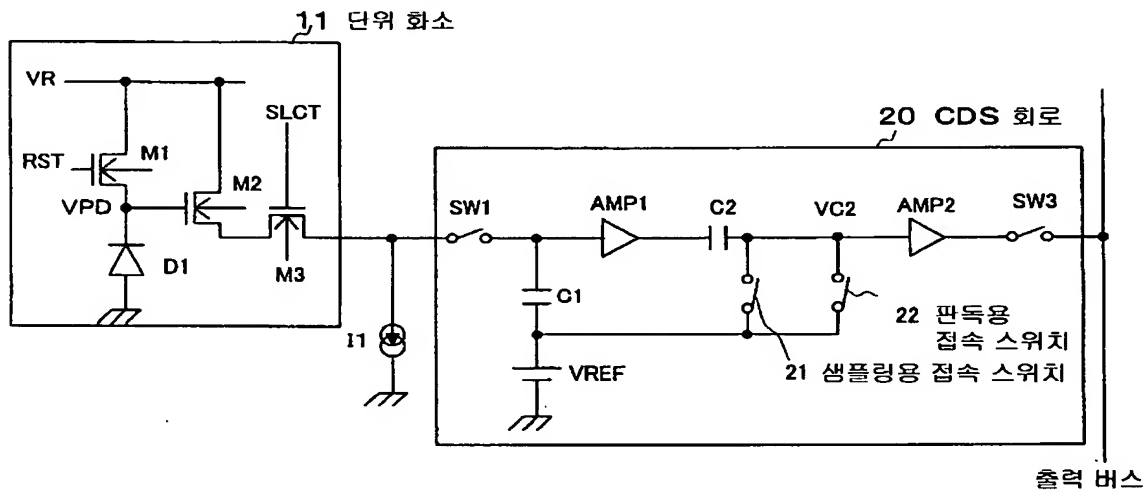
상기 화소부에 있어서 광전 변환된 검출 신호를 샘플링하여 유지하는 제2 커패시터와,

상기 검출 신호를 임의의 전위를 기준으로 샘플링하기 위해서 상기 임의의 전위를 발생시키는 소정의 전원과 상기 제2 커패시터와의 접속을 제어하는 샘플링용 접속 스위치와,

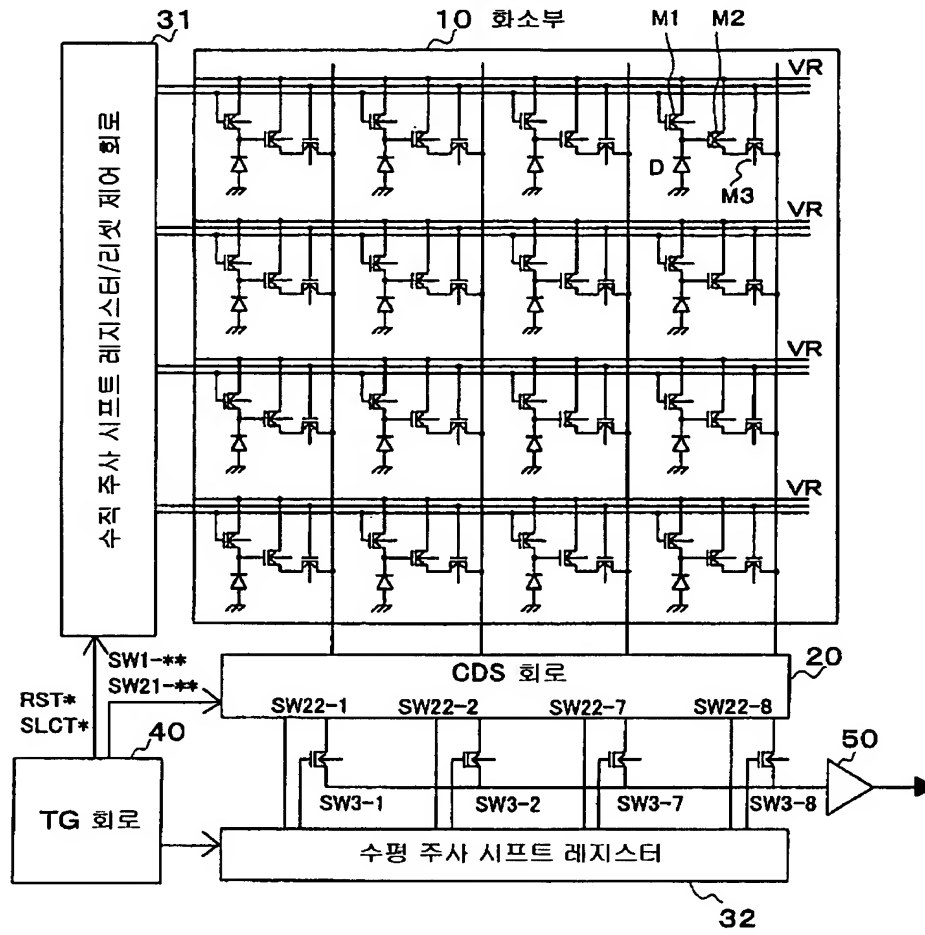
상기 제2 커패시터와 상기 제1 커패시터에 샘플링되어 유지된 전하로부터 얻어지는 상기 검출 신호와 상기 리셋 레벨 신호와의 차에 따른 출력 신호의 판독을 제어하는 판독용 접속 스위치를 구비하는 것을 특징으로 하는 CMOS 이미지 센서.

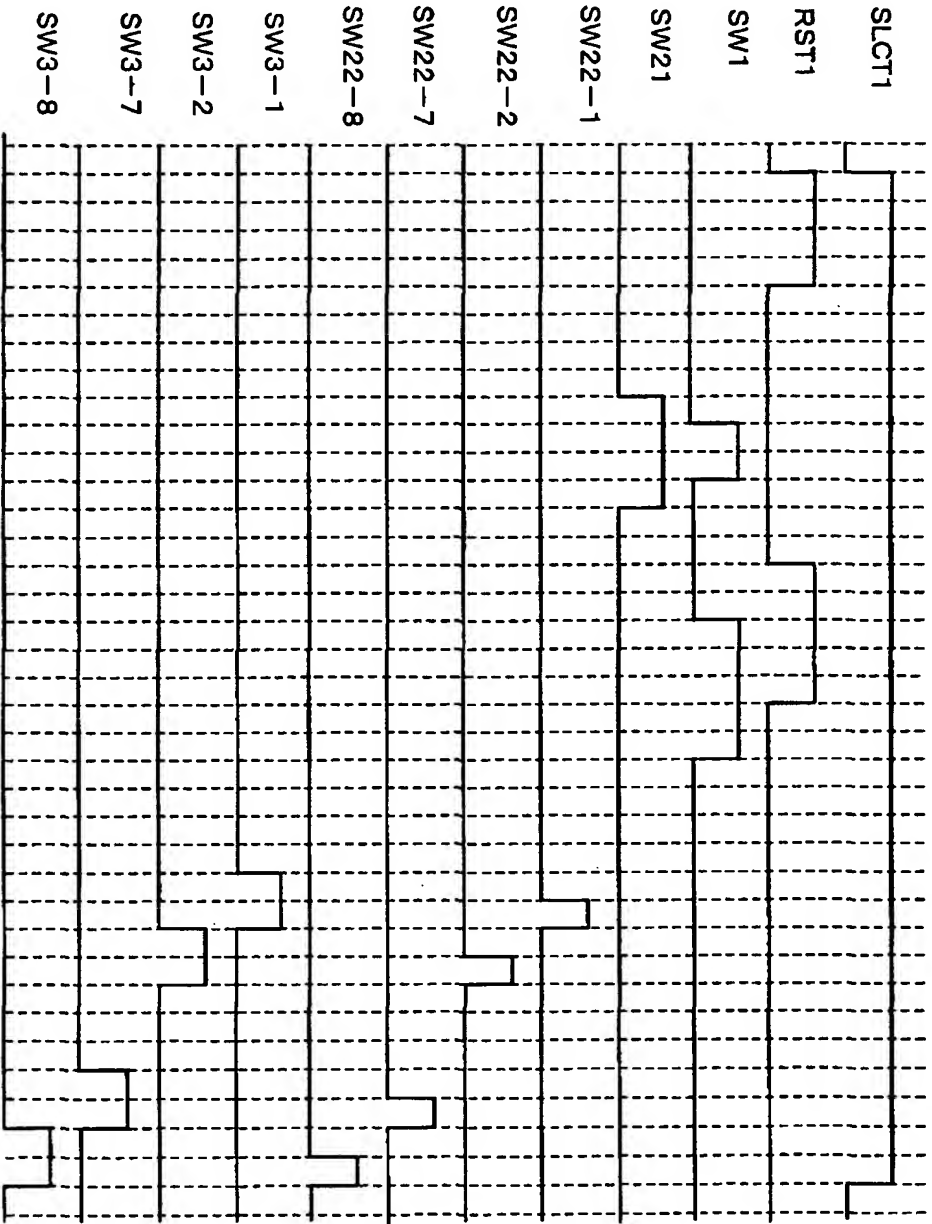
도면

도면 1

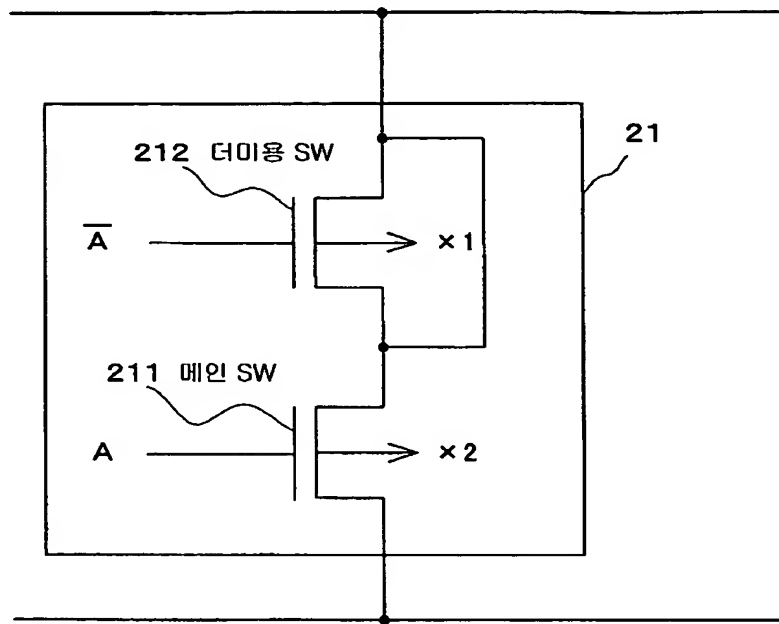


도면 2

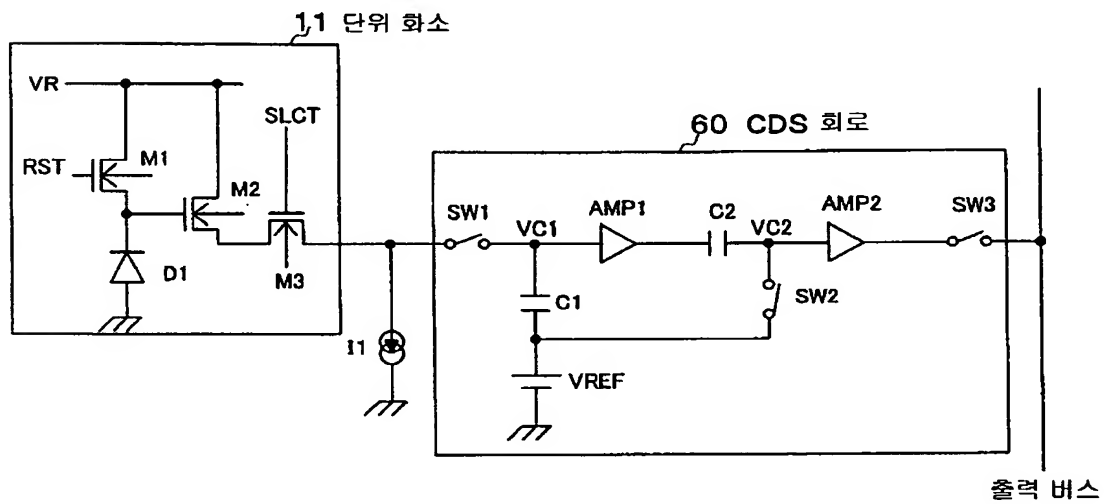


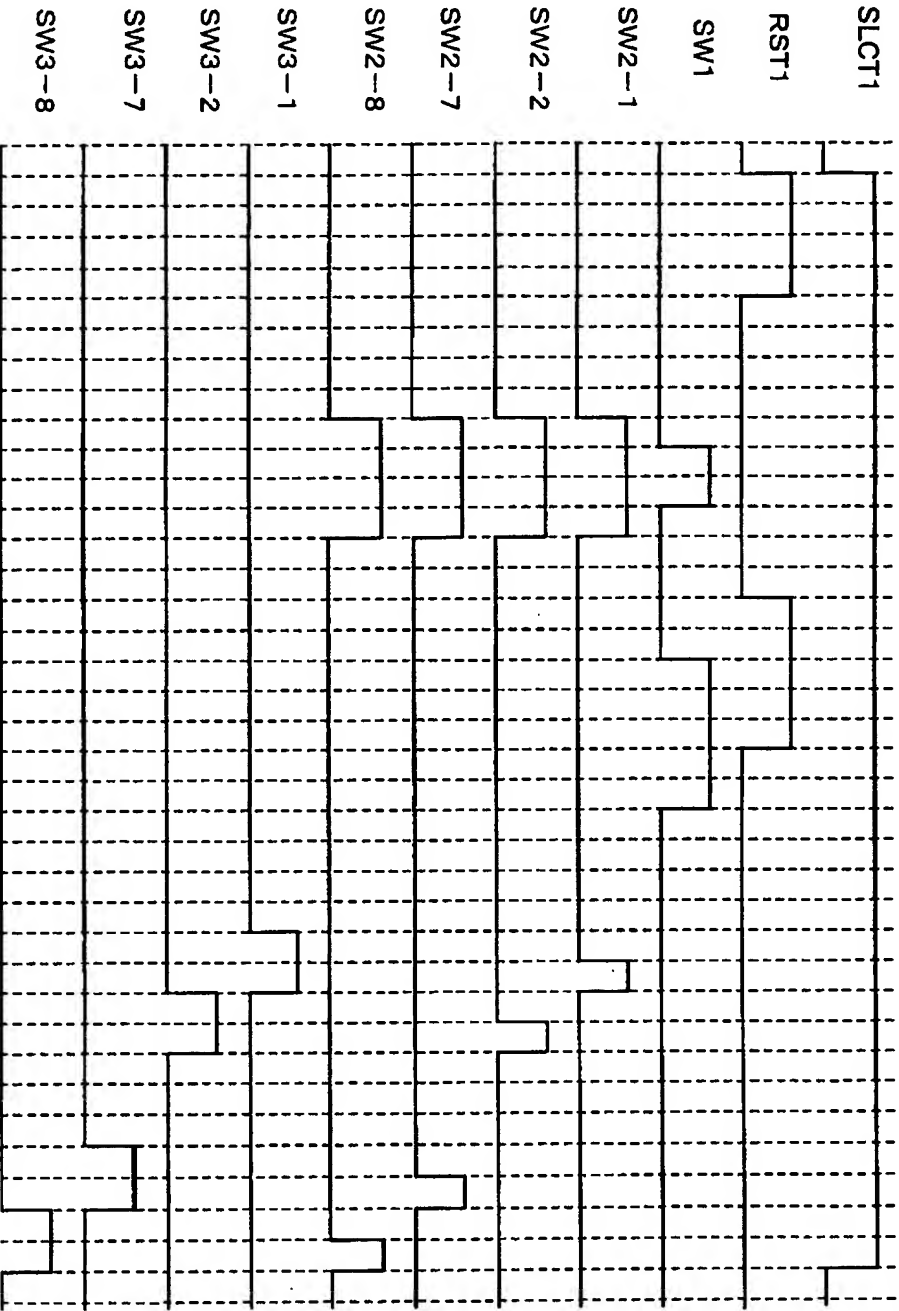


도면 4



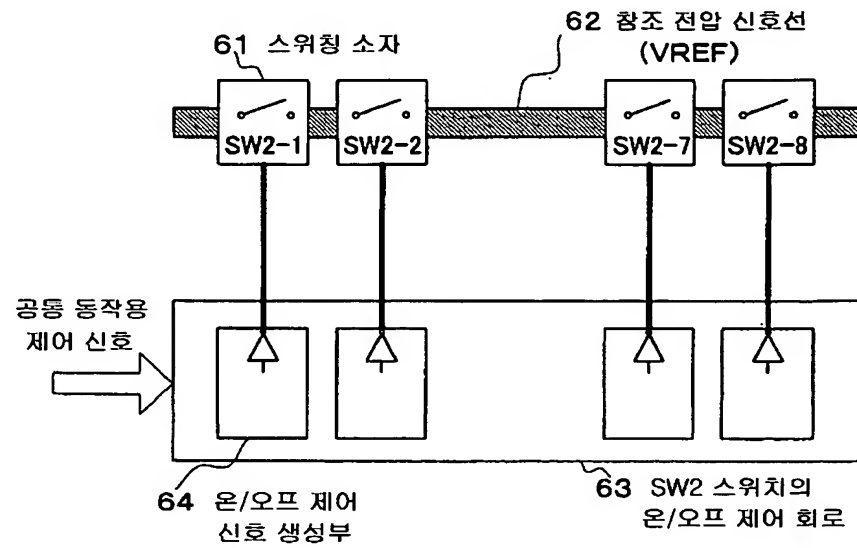
도면 5





도면 7

(1) 레이아웃 개략도



(2) 참조 전압의 변화의 모식도

